

PATENT ABSTRACTS OF JAPAN

IDS

#3

(11)Publication number : 07-086693
 (43)Date of publication of application : 31.03.1995

(51)Int.CI.

H01S 3/18
 H01L 31/0232
 H01L 33/00

(21)Application number : 05-229781

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.09.1993

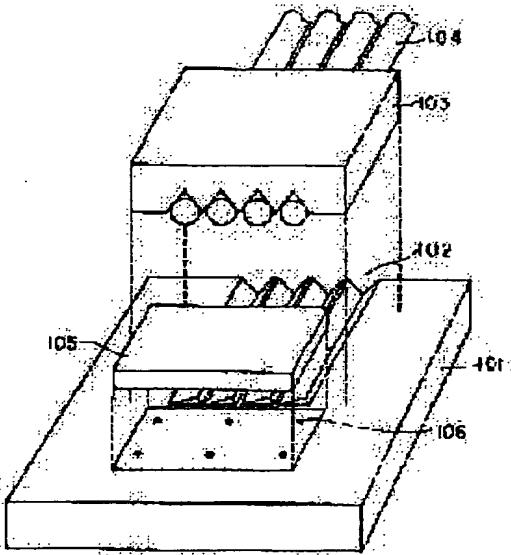
(72)Inventor : FURUYAMA HIDETO
 KOBAYASHI TAMON
 HAMAZAKI HIROSHI

(54) OPTICAL SEMICONDUCTOR MODULE

(57)Abstract:

PURPOSE: To provide an optical semiconductor module which is excellent in reproducibility of temperature characteristic and optical coupling characteristic, and hence dramatically reduces cost and manufactures the optical semiconductor module on a mass production basis as well.

CONSTITUTION: In an optical semiconductor module where each of optical fibers 104 is mounted to a plurality of guide grooves 102 for optical axis adjustment, and moreover, there is provided a main board 101 to which an optical semiconductor device 104 is mounted around the end of the optical fibers 104, the optical fibers 104 are preliminarily held on a sub-board 103 which is different from the main board 101, and the end face in the direction of an optical axis is adjusted for the sub-board 103.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-86693

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 01 S 3/18				
H 01 L 31/0232				
33/00	M			
	N			
		7630-4M	H 01 L 31/ 02	C
			審査請求 未請求 請求項の数 3 OL (全 22 頁)	

(21)出願番号 特願平5-229781

(22)出願日 平成5年(1993)9月16日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 古山 英人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 小林 多聞

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 濱崎 浩史

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

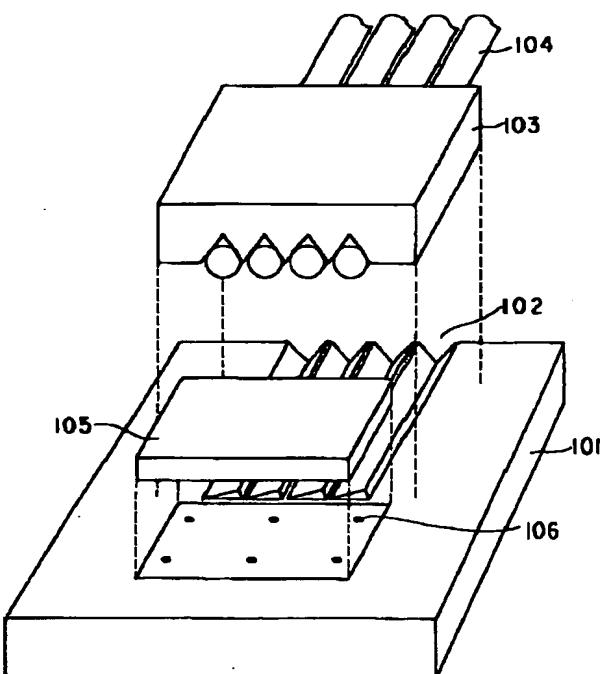
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】光半導体モジュール

(57)【要約】

【目的】 温度特性、光結合特性の再現性に優れた、従つて本質的に大幅な低コスト化と量産化が可能な光半導体モジュールを提供すること。

【構成】 光軸調整のための複数のガイド溝102にそれぞれ光ファイバ104が装着され、且つ光ファイバ104の端部付近に光半導体素子105が装着された主基板101を有してなる光半導体モジュールにおいて、光ファイバ104が予め主基板101とは別の副基板103に保持され、且つ該副基板103に対して光軸方向の端面位置を調整されたものであることを特徴とする。



【特許請求の範囲】

【請求項1】 光軸調整のための複数のガイド溝が設けられた主基板と、この主基板のガイド溝にそれぞれ装着された光ファイバと、前記主基板上の前記光ファイバの端部付近に装着された光半導体素子と、前記光ファイバを前記主基板のガイド溝に装着すると共に、該光ファイバを位置決めして保持する副基板とを具備してなることを特徴とする光半導体モジュール。

【請求項2】 光半導体素子が搭載されたS i サブマウントと、このS i サブマウント上に形成された金属半田により該マウントに接着固定され、前記光半導体素子を気密封止するS i キャップと、前記S i サブマウント上に形成されて前記光半導体素子に電気的に接続され、且つ一部が前記キャップの内側から外側にまたがって延長形成された電気配線とを具備してなり、前記電気配線は、前記キャップの接着部分で前記S i サブマウントに形成された溝内に絶縁物により埋め込まれていることを特徴とする光半導体モジュール。

【請求項3】 平滑な表面を有する2枚の半導体ウェハの表面同士を直接接合してなる接着基板と、この接着基板の所定位置に搭載された半導体素子と、前記接着基板の一部を前記ウェハの接合部に達する深さまでエッチングして形成された複数個の凹部と、これらの凹部の少なくとも底面に接するように搭載される複数個のガイドピンと、前記ガイドピンと前記半導体素子間の前記接着基板上に形成された緩衝部材とを具備してなることを特徴とする光半導体モジュール。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体レーザ等の光半導体素子を基板上に搭載した光半導体モジュールに係わり、特に(1)半導体素子と光ファイバとの結合機構、(2)気密封止用キャップ構造、(3)ガイドピンを用いた連結機構、の改良をはかった光半導体モジュールに関する。

【0002】

【従来の技術】 (従来技術1) 光ファイバ通信等の分野では、半導体レーザ、受光素子等の光半導体素子と信号伝送路になる光ファイバとが光結合された光半導体モジュールが用いられている。しかしながら、一般に光半導体モジュールは、トランジスタ、集積回路等の通常の半導体モジュールよりはるかに高価である。これは、光半導体素子の製造価格によるものではなく、主として光ファイバとの結合調整費用によるものであり、その低コスト化はかなり難しかった。

【0003】 このような背景から、低成本で大量生産可能な光半導体モジュールが求められており、いくつかの試みが報告、提案されている。その中で、特に半導体の製造技術を用いた、所謂マイクロマシニング技術の応用による光半導体モジュールが注目されてきている。こ

のマイクロマシニング技術を応用した光半導体モジュールの特徴は、半導体技術で養われたサブミクロン、即ち $1 \mu m$ 以下の加工精度での機械加工により光半導体素子と光ファイバとの光軸調整が機械的な組立てだけで可能になることであり、さらに半導体の製造と同様に一度に大量の加工が可能なことである。

【0004】 図25(a)は従来の光半導体モジュールを示す斜視図であり、前述したようにマイクロマシニング技術を応用して光軸調整の省略と大量生産化をはかった光半導体モジュールの例である。1はモジュール基板であり、この基板1は光ファイバの位置調整用ガイド溝2と光半導体素子装着用電極6を備えている。4は光ファイバ、5は光半導体素子で例えば端面放射型の半導体レーザである。

【0005】 ここで、モジュール基板1は例えばS i 結晶を用い、半導体の製造プロセスと同様なフォトリソグラフィーとエッチング技術を用いてガイド溝2を、また同様にフォトリソグラフィーと蒸着技術を用いて電極6を形成する。このとき、電極6に所謂半田バンプを用いれば光半導体素子5を一般に良く知られた半田バンプの表面張力作用で自己整合的に精密に位置合わせができる。一方、光ファイバ4はガイド溝2に機械的にはめ込まれるため、これも精密に位置合わせができる。かくしてモジュール基板1上に光半導体素子5と光ファイバ4が位置調整されて装着され、これをモジュールの外枠体に取り付けることで光半導体モジュールが完成する。

【0006】 図25(b)は(a)の光半導体モジュール基板の光軸方向の断面図であり、7は光ファイバのコア、即ち光導波部を示す。光半導体素子5はバンプ電極6と同形の電極を有し、その電極面がフェースダウンで装着される。そして、バンプ電極6に電気接続されると同時に、前述したようにバンプ電極6の溶融処理で半田材の表面張力作用によりモジュール基板1の所定位置に機械的な調整が行われる。このとき、光ファイバコア7と光半導体素子5の能動部が一致するように、予めバンプ電極6の厚さと光ファイバ4のガイド溝2の形状と深さを設定しておく。

【0007】 このようにして作製される光半導体モジュールにおいては、機械的な加工、取付け精度を $1 \mu m$ 以下とすることが可能であり、原理的に機械的な組立て工程だけで作製可能である。また、その技術的な要点は全て半導体技術の応用であり、必要部品の加工精度が高く、しかも一度に多数の部品を作製、即ち半導体ウェハ上に多数同時に作製できる。従って、このような光半導体モジュールは光軸調整工程が不要であり、機械的組立を自動化することで大幅な低コスト化と大量生産化が可能である。

【0008】 しかしながら、この種の光半導体モジュールにおいては、光軸調整を必要とする光半導体モジュー

ルに比して大幅に低コスト、量産化が達成可能なもの、温度特性や光結合特性の再現性に問題があった。これは、光ファイバの装着時の光軸方向位置の制御に自己整合機構の不完全さが残っていること、構造上から温度変化による部材の熱膨張によって光軸が変わること等が原因である。これを、以下に説明する。

【0009】図25で示したモジュール基板1は、光ファイバ4のガイド溝2の形状や深さを制御するため、光ファイバ4のガイド溝2の形状、大きさがフォトリソグラフィーの精度で自動的に決るように、Siの異方性エッティングを利用している。Si結晶の異方性エッティングは(111)面で極度にエッティング速度が低下することを利用したもので、エッティングを開始する結晶面、マスクの形状により種々の幾何的な形状を形成できる。その中でもガイド溝として幅、深さともほぼ一意に決定できる組合せとして、(001)面にスリット状のマスクを<110>又は<1-10>方向に合わせてエッティングする組合せがある。この場合、<110>又は<1-10>方向にV字状の溝が形成され、その深さはマスクの幅で決定できる。

【0010】ところが、ガイド溝2の端部、即ち光ファイバ4を装着するガイド溝2の終端部は垂直な壁ではなく、V溝と同じ傾斜角をもった斜めの壁になっている。このため、光ファイバ4はその下端の一点がV溝終端部8に接触し、これにより光軸方向(溝方向)の位置を決めている。このことが、前述した温度特性や光結合特性の再現性の低下を引き起こしている。図26(a)はその様子を示したものであり、光ファイバ4の端部がガイド溝終端部8の斜面により曲げられて軸ずれ(破線4')を起こすものである。

【0011】図26(a)の4'のように屈曲した場合、光ファイバコア7の位置は容易に数μm、場合により10μm以上の軸ずれを起こし、光結合が大幅に低下してしまう。この光ファイバの屈曲は、モジュールの組立て時に光ファイバ4の軸方向の圧力を過剰に加えた場合や、組立て後に周囲温度が変わって光ファイバ4とモジュール基板1との熱膨張量の差が大きくなつた場合に生じる。また、このような問題を避けるためガイド溝端部8と光ファイバ4の端部を空間的に離しておくことが考えられるが、この場合は、光ファイバ4と光半導体素子の位置関係を精密に制御することが光軸方向でできなくなり、従つて光結合特性の再現性が確保できなくなる。

【0012】このように図25で示した従来技術では原理的に低コスト、大量生産の可能な光半導体モジュールが作製可能であるが、その構造的或いは機構的な欠点が潜在していた。また、その欠点は单一の光ファイバと光半導体素子の場合より複数の光ファイバを備える場合に顕著である。これは、複数の光ファイバの場合、一般にアレイ化光ファイバ、所謂リボンファイバが用いられる

が、そのリボンファイバの製造上の特性により、各光ファイバの先端位置がずれることによる。図26(b)はその様子を示したものであるが、4a～4dの4本の光ファイバがリボンファイバとしてジャケット9でまとめられている。

【0013】一般に、リボンファイバは別々のプリフォームから線引きされた独立な光ファイバを紫外線硬化樹脂等で束ねてアレイ化している。このため、各光ファイバの弾性特性が微妙に異なり、また束ねる時のよれ方で異なる応力が加わっている。従つて、リボンファイバの樹脂を部分的に取り除き、正確に長さをそろえて切断したとしても時間と共に先端部の位置が変化して長さのばらつきが生じ易い。また、たとえ注意深く作業してその変化を極力抑制できたとしても、モジュール組立て時の加熱冷却の操作によって容易に先端位置の変化が生じる。

【0014】図26(b)ではA-A' とB-B' の差が最小、最大の差を示しているが、数十μmの差は容易に生じてしまう。このため、複数の光ファイバを用いた場合、図26(a)に示したような問題が更に大きく現われるという問題もあった。

(従来技術2) 一般に半導体素子は、外気中の湿気や塵、イオンなどによる劣化を防止するために気密封止や樹脂封止が施される。特に、光半導体素子は光の入出力面が汚染に弱いため、通常のパッケージは気密封止構造である。気密封止は、ガラスにより絶縁された端子を持つメタルなどのパッケージに、半導体素子をマウントしたメタル又はセラミックの基板を搭載し、メタルなどのキャップを半田付けや溶接などによりパッケージに取り付ける方法が採られている。

【0015】気密封止パッケージの例を図27(a)に示す。11は光半導体素子で、金属ステム15上に搭載されたSiサブマウント12上にマウントされている。Siサブマウント12は金属と半導体素子の熱膨張係数の違いによる歪防止のためにマウントされる。13はメタルリードで、ガラス14によりステム15と絶縁封着されている。光半導体素子11とメタルリード13とはボンディングワイヤ17により電気的に接続されている。16はメタルキャップで、18は外部との光入出力のための窓でガラスなどで構成され、メタルキャップ16と気密接着されて一体となっており、ステム15と溶接されて半導体素子11は気密封止されている。

【0016】ところで、光を信号媒体として用いる場合、光入出力にはファイバ結合を用いることが有効であり、特に通信や情報処理システムの送受信部に光半導体装置を用いる場合にはファイバ結合型が一般的である。上記光半導体装置と光ファイバとを結合させる場合は光ファイバをスリーブに固定し、光半導体素子と光ファイバの光軸を調整した後にレーザ溶接などで固定する方法がとられており、光ファイバや光半導体素子に対して光

半導体装置全体の寸法が大きくなる。

【0017】そこで、光結合系を含んだ光半導体装置として、メタルパッケージ内に光半導体素子や光ファイバを固定したのち、一括して気密封止する方法がある。図27(b)にその例を示す。21は光半導体素子でSiサブマウント22上に搭載される。25は光ファイバでスリープ26に固定されている。23はメタルパッケージで、Siサブマウント22及び光ファイバ25を搭載できるような台座を持った構造となっている。光ファイバ25は光半導体素子21と光軸調整された後に、台座27に紫外線硬化接着剤などの接着剤28で固定される。スリープ26とパッケージ24は半田溶接などにより気密接着される。29はリッドでパッケージ24と溶接などにより気密封着される。30はガラスなどによりパッケージ24と絶縁された気密端子で、外部と光半導体素子とを電気的に接続する。この場合、前記光半導体装置に比較すると光半導体素子と光ファイバを一括して封止するため比較的装置全体の寸法を小さくすることが可能であるが、気密端子やスリープが必要であり装置全体の微小化には限界がある。

【0018】また、光半導体素子を用いる場合、外部に光半導体素子駆動用の電気回路を接続する必要がある。外部の電気回路と接続した例を述べる。いくつかの半導体電子素子を一枚の基板上に実装し、まとめてパッケージする方法がある。特に、素子をペアチップで基板に実装し一括して気密封止するマルチチップ実装が集積化には有利な方法である。しかし、光半導体素子を用いる装置においては、光半導体素子は気密封止された独立のパッケージを用いて光サブモジュールとし、外部の電気回路系に接続後さらに一括封止される。従って、光半導体素子は2重にパッケージングされることが多い。

【0019】この場合、光半導体素子はメタルによりパッケージされているため、光半導体素子の熱膨張率の違いによる歪防止のためにSiサブマウントが必要となる。従って、Siサブマウントに搭載後さらにメタルパッケージで気密封止することになる。従って、他の半導体電子素子に比較して光半導体装置の寸法が大きくなり光半導体素子を用いたことによるモジュール全体の寸法増加が非常に大きくなるという問題があった。

(従来技術3) 光半導体素子と光ファイバ、光導波路との光結合や、可搬基板上に高密度に半導体集積回路が実装された所謂ICカード等の光半導体モジュールにおいては、その入出力結合部が他の結合体、例えば光コネクタや多ピン電気コネクタに、精密に位置合わせされて結合される必要がある。これは前者の場合、単一モードの光ファイバや光導波路と半導体レーザを光結合するとき高精度の位置精度が要求され、後者の場合、ICカードの記憶容量が大きくなる程その接続ピン数が増加し、接続ピンの間隔が狭くなつて各ピンの大きさが小さく設定されること等によつて。例えば、光ファイバと半導

体レーザの結合では多モード光ファイバで±5μm以下、単一モード光ファイバでは±2μm以下の精度が要求される。また、ICカードの場合、徐々にその精度要求が厳しくなつてきており、将来的には100μmピッチで±10μm以下の精度が考えられている。

【0020】図28は、このような要求に対応して考案された従来技術による光半導体モジュールの一例である(例えは特願平3-238038号)。シリコン基板41、43を酸化膜42を接着界面として直接接着により構成されたサブマウント56は2本のガイドピン45に密着して挟み込まれて銅製システム49に半田付けされている。サブマウント56は、その接着界面の深さに達するエッチングにより凹部が形成され、さらにその凹部の底面には半導体チップ44が半田付けされている。

【0021】また、図29のようにこれらの2本のガイドピン45、及びガイドピン45に密着して配置されたサブマウント56は、抑え板55aをシステム49にネジ止めするにより、圧力を受けて位置決め固定が行われる。即ち、半導体チップ44表面の上下方向の位置は半導体チップ44の厚さと基板41の厚さの和により決定される。また、水平方向に関しては、ガイドピンに対するサブマウント56の相対位置が、ダイシング等で切り出されるサブマウント56の幅をコネクタのガイドピン45の間隔になるよう制御することで決定される。ここで、半導体チップ44の水平方向の位置はサブマウント56の所定位置に前述した凹部を配置することで決定され、ガイドピン45に対する相対位置を任意に設定することができる。

【0022】しかしながら、上記従来例では位置決め固定の際の上下方向の力は、ガイドピン45及び銅製システム49にかかるため問題はないが、横方向の力はサブマウント56とガイドピン45の接点にかかってしまう。このため、外力に弱い半導体チップなどを直接ガイドピン間に搭載することは困難であり、また比較的外力に強いサブマウントの場合でも、場合によっては横方向に加わる力がシリコン基板を破損することがあり、横方向の寸法を適切に設定するために切り出しの精度を厳しく制御する必要がある。また、ダイシングの切り出し寸法精度が良くサブマウントの幅が制御良く切り出された場合でも、切断端に対するサブマウント56の中心位置がずれる場合が多く、製作上の困難さや温度変化に対する機械的位置の安定性等の点において問題があった。

【0023】【発明が解決しようとする課題】(課題1) このように従来、精密で大量作製可能な半導体プロセスによる高精度モジュール基板を用いて、光軸調整を行わずに作製可能な低コスト、量産型の光半導体モジュールにおいては、温度特性及び光結合特性の再現性が悪いという問題があつた。

【0024】本発明は、上記の事情を考慮してなされた

もので、その目的とするところは、温度特性、光結合特性の再現性に優れた、従って本質的に大幅な低コスト化と量産化が可能な光半導体モジュールを提供することにある。

(課題2) このように従来、気密端子を持つ外部パッケージの気密封止機構によりパッケージする場合には、ファイバ結合の光半導体装置の寸法が大きくなりすぎ、高い実装密度で外部回路と接続することが困難であった。また、光半導体素子といくつかの外部電気回路素子をまとめてパッケージする場合には光半導体素子、光ファイバ及び光ファイバとの光結合系の汚染を防止するために、取扱いに特別の配慮が必要であり生産性に乏しいという問題があった。

【0025】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、簡単な構成で、高密度に外部回路と接続可能で、生産性に優れた光半導体モジュールを提供することにある。

(課題3) このように従来、モジュール連結用のガイドピンを有する光半導体モジュールにおいては、モジュール固定の際にガイドピンの間に挟まれたサブマウントや半導体チップに過剰な外力が加わり、これらを破損する恐れがあった。

【0026】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、モジュール固定の際にガイドピンの間に挟まれたサブマウントや半導体チップに過剰な外力が加わることがなく、かつ半導体モジュール内での半導体チップと他の半導体モジュール構成部品との位置関係を高精度に保持し、2次元的な連結をも可能とする光半導体モジュールを提供することにある。

【0027】

【課題を解決するための手段】(手段1) 本発明の骨子は、光ファイバのガイド溝端部における光ファイバの変形、屈曲を防止するために、光ファイバを予め光ファイバの変形を防止する副基板に固定し、その副基板に対して光ファイバの先端を調整しておくことにある。

【0028】即ち本発明は、光軸調整のための複数のガイド溝にそれぞれ光ファイバが装着され、且つ該光ファイバ端部付近に光半導体素子が装着された主基板を有してなる光半導体モジュールにおいて、光ファイバが主基板とは別の副基板に保持され、且つ該副基板に対して位置調整されたものであることを特徴とする。

(手段2) 本発明の骨子は、光半導体素子を搭載したSiサブマウント上に直接キャップを接着することにより、光結合系を含んだ微小領域で気密封止を実現することにある。

【0029】即ち本発明は、光半導体素子を搭載したSiサブマウントと、このSiサブマウント上に形成された電気配線と、電気配線と光半導体素子とを電気的に接続する手段とを具備した光半導体モジュールにおいて、光半導体素子を気密封止するためのキャップをSiサブ

マウント上に形成した金属半田で接着し、且つ電気配線の一部がキャップの内側から外側にまたがって延長形成され、該延長形成された電気配線がキャップの接着部分でSiサブマウントに形成された溝内に絶縁物により埋め込まれていることを特徴とする。

10 (手段3) 本発明の骨子は、モジュール連結用のガイドピンを有する光半導体モジュールにおいて、複数の半導体ウェハを接着した直接接着基板をその接合部に達する深さまでエッチングすることにより、ガイドピン固定用の複数の凹部を有する構造を形成し、ガイドピンを用いて連続された複数の半導体モジュールの対向位置を決定することにある。

【0030】即ち本発明は、平滑な表面を有する2枚の半導体ウェハの表面同士を直接接合してなる接着基板と、この接着基板の所定位置に搭載された半導体素子と、前記接着基板の一部を前記ウェハの接合部に達する深さまでエッチングして形成された複数個の凹部と、これらの凹部の少なくとも底面に接するように搭載される複数個のガイドピンと、ガイドピンと半導体素子間の接着基板上に設けられた緩衝部材とを具備した半導体モジュールであって、ガイドピンにより接着基板が他の結合体と対向位置を決定されてなることを特徴とする。

【0031】

【作用】(作用1) 本発明による光半導体モジュールは、光軸調整が不要で機械的な組立て工程のみで作製可能であり、従って自動組立てが容易であるため大幅な低コスト化と量産化が可能である。また、本発明の光半導体モジュールは光ファイバ先端の変形が極めて少く、従って位置調整が余裕をもって行えるため光結合特性の再現性が高い。そして、周囲温度の変化に対して光軸が安定であるため温度安定性が高い。従って、複数の光ファイバを用いる場合でも光ファイバ毎の特性ばらつきが小さく、且つ温度特性も優れるという効果を奏する。

(作用2) 本発明によれば、光半導体素子を搭載したSiサブマウントに直接キャップを半田接着することにより、光半導体素子、光結合系及び光ファイバを一括して、光半導体素子と同等の寸法で気密封止することを可能とするため、ファイバ結合型の光半導体装置が微小領域で気密封止され、高密度に外部回路との接続が可能となる。また、他の電気回路部品と接続する場合にも特別な配慮を必要とせずに接続可能であり、集積度及び生産性を同時に向上させることができる。

(作用3) 本発明によれば、比較的簡単なマスク合わせ工程によりガイドピン及び半導体チップの面内の位置決めがなされ、また上記方向には選択エッチングにより露出した同一の平坦面上に接して配置されるため、この面を基準としたモジュール内での上下方向の高精度な位置決めが可能となる。また、ガイドピンは凹部の底面のみに、或いは底面及び少なくとも一方の側面に接しているため、モジュール固定の際の力は全て凹部の底面のみ

に、或いは底面及び側面にかかることとなり、ガイドピンに挟まれたサブマウントや半導体チップには過剰な外力が加わることはない。

【0032】また、各半導体モジュールの凹部底面がガイドピンによりほぼ同一平面上に配置されることとなり、ガイドピンを介して接続された複数の半導体モジュールに搭載された半導体チップ及びガイドピンはほぼ同一平面上に配置されるため、連結した場合の上下方向の位置決めが行い易い。このような特徴を有するため、この様な半導体モジュールをガイドピンを介して複数個連結した場合にも、他の半導体モジュール構成部品との位置決め精度が高い半導体モジュールを提供することができる。

【0033】さらに、ガイドピンの凹部は前後左右の配置できるため、2次元的な半導体モジュールの連結が可能であり、各半導体モジュールの半導体チップ及びガイドピンの底面はそれぞれ同一平面上に配置される。

【0034】

【実施例】以下、図面を参照して本発明の実施例を説明する。

(実施例1) 図1は、本発明の第1の実施例に係わる光半導体モジュールの概略構成を示す斜視図である。図中101はモジュール主基板、102は光ファイバのガイド溝、103は光ファイバ保持用の副基板、104はリボンファイバ、105は光半導体素子で例えばアレイ化した半導体レーザ、106は光半導体素子装着用電極で従来例と同様なバンプ電極である。モジュール主基板101及び副基板103は例えばSiを用い、(001)面に<110>又は<1-10>方向のスリット状マスクを用いてV溝をエッチング形成したものを用いる。このとき、例えばマスク材としてはSi_xN_yを用い、エッチング液としてKOH水溶液を90℃に加熱したもの要用いればよい。

【0035】また、バンプ電極106としてはPbSn系半田を用い、リフロー処理によりボール状に変形させたものを用いる。このバンプ電極106の形状及び大きさは極度に大きな制限はなく、光半導体素子の装着後の高さ及び光ファイバのコア部分との位置関係を考慮したガイド溝102の幅との相対関係により適時設定してやればよい。

【0036】この実施例の製造工程の例としては、まず副基板103に光ファイバ104の固定を行う。この時の固定材は低融点ガラス又は比較的高融点の半田（例えばAuSn, AuGe）を用い、後の工程の熱処理で溶融しない温度特性の材料を用いる。次に、光ファイバ104の先端を削るために切削又は研磨加工を行う。これには、ダイシング、ダイヤモンド研磨等の手法を用い、副基板103の一部を同時に加工して、副基板103と光ファイバ104の端部がほぼ同一の面になるように加工する。

【0037】しかる後、モジュール主基板101に光半導体素子105、副基板103及び光ファイバ104を順次又は同時に装着する。このとき、光ファイバ104の固定は副基板103への固定に用いた材料より融点の低い半田又は樹脂を用いて行い、副基板103と光ファイバ104の位置関係に実質的に影響しない材料を用いる。また、副基板103に光半導体素子105側に向う圧力も印加しておけば、光ファイバ104は光半導体素子105に対してほぼ同等な位置に装着され、光結合特性の再現性が高くなる。

【0038】このとき、図2(a)に示すようにガイド溝102の端部108に光ファイバ104が接触するが、光ファイバ104は副基板103により固定されているため副基板103に適度な下方向の圧力を加えておくことで、前記図26で示したような光ファイバの変形、屈曲は起こり難い。このため、光ファイバ104のコア部107を正確に位置決めすることができる。さらに、組立て終了後は周囲温度の変化に対して副基板103が存在することにより光ファイバ104の変形は極めて小さくなる。このため、本実施例の光半導体モジュールでは、温度特性が図25の従来例に比し格段に改善される。

【0039】図2(b)は図1の実施例に更に改良を加えた実施例である。図1の実施例では、光ファイバ104の相対位置をガイド溝端部108と光ファイバ104との接触で規定しているが、クリープ特性のあまり良好でない半田材料で固定した場合等に経時的な固定半田劣化を生じることがある。図2(b)はこのような問題を防止するためのものであり、モジュール主基板101と光ファイバ104を保持している副基板103とを、光半導体素子105の場合と同様にバンプ電極106'で固定するようにしたものである。この場合、光ファイバ104の先端はモジュール主基板101に接する必要がなく、バンプ電極106'が表面張力作用によって光ファイバの相対位置を制御してくれる。このため、光ファイバ104に余分な応力が加わることなく、また周囲の固定材にも過剰応力が加わらないためモジュールの機械的寿命が長くなる特徴を持っている。

【0040】なお、本発明は上述した実施例に限定されるものではない。実施例では触れていないが、信号伝送する光ファイバの他にダミーの光ファイバをやや突出させて設け、機械的応力がダミーファイバにのみかかるように構成してもかまわない。また、実施例では光半導体素子に限定した記述をしているが、その他の光素子、例えばレンズ、光アイソレータ等の素子が同時に設けられるものであってもかまわない。要するに本発明は、その要旨を逸脱しない範囲で、種々変形して実施することができる。

(実施例2) 図3は、本発明の第2の実施例に係わる光半導体モジュールの概略構成を示すもので、(a)は平

面図、(b)は側断面図である。なお、図3(a)は、気密封止のためのキャップを装着する前の構成状態を示している。

【0041】図3(a)において、201は例えは半導体レーザからなる光半導体素子であり、この光半導体素子201はSi基板(Siサブマウント)202にマウントされている。一般に光半導体素子は、微少な領域に発熱が集中するため、放熱が問題となる。そのため、放熱特性が良く、金属やセラミックに比較して、光半導体素子と熱膨張係数が近いSiがサブマウントとして用いられることが多い。また、Siは半導体プロセスを用いることにより大量生産が可能であり、精度良く加工を施すことができ、しかも化合物半導体などと比較して機械的強度が高い。また、電気配線、酸化膜などの形成プロセスが確立しているなど、Siをサブマウントに用いることにはメリットが多い。

【0042】Siサブマウント202上には電気配線203が形成されており、光半導体素子201とボンディングワイヤ204により電気的に接続されている。205はSiサブマウント202の凹部に充填され後述する工程により表面が平坦化された絶縁物、206は光半導体素子201の接地電極、207は気密封止のためのキャップを固定する半田(シーリング半田)、208は光ファイバ、209は光ファイバ208を固定するためのホルダ(ファイバホルダ)であり、光ファイバ208はSiサブマウント202に設けられたV溝に固定されている。

【0043】ここで、電気配線203は絶縁物205の部分でSiサブマウント202の凹部を介して配線されており、この部分で配線203上に絶縁物205が設けられているためシーリング半田207とは電気的に絶縁されている。また、絶縁物205の厚さを十分厚くしておくことで電気配線203の高周波伝達特性の低下を抑制することができる。絶縁物205はシーリング半田207との間に生じる寄生容量を小さくするため、例えは数十μmの厚さとすることが望ましい。このため、絶縁物205には低融点ガラス等の流動性のある材料を用い、Siサブマウント202上で固化される方法が有効である。これについては後述する。

【0044】このような構成とすることにより、光半導体素子201の気密封止構造を大幅に小型化することができる、さらにSi基板上で気密封止キャップを取り付けたにも拘らず電気配線203の高周波伝達特性として数GHz以上の帯域を確保することができる。また、本実施例の場合、電気配線を気密封止する絶縁物205がSi基板の局所的な部分に、しかも埋込み形成されるため、絶縁物205に加わる応力が小さく、絶縁物205の亀裂や破断が起きにくいという特徴を持っている。

【0045】このことは、絶縁物205を埋込み形成し

ない場合を考慮すれば、容易に理解することができる。即ち、比較的一般的な気密封止方法として、図3(a)のシーリング半田207をほぼ同型に形成された絶縁物の上に形成し、絶縁物の下部に電気配線を平坦に形成する方法があるが、この場合、絶縁物材料と基板材料(Si)の熱膨張特性の十分な検討が必要であり、両者の熱膨張特性の差によって容易に絶縁物の亀裂や破断が生じる問題がある。これは、主に絶縁物の絶対的な大きさが大きくなることと、絶縁物の接触する部分がSi基板の

10 同一平面上であるためその平面の反りが直接絶縁物に作用して亀裂を生じさせ易くすることなどが影響している。

【0046】これに対し本実施例では、絶縁物205の形成が電気配線を埋め込むための最小領域だけに限定され小さく形成できること、絶縁物が埋込み形成であるため基板との接触が1平面ではなく側面も接触しており基板202によって応力変形から保護されていること、また基板202の巨視的な変形(例えは反り)が微小領域である絶縁物埋込み部に影響しにくいことなどの理由により、前述の特徴が得られる。

【0047】図3(b)は本実施例の概略構造断面図であり、図3(a)の状態の後にキャップ210の取り付けを行った状態を示している。ここで、Siサブマウント202に設けられる溝は一般に半円筒形とすることが難しいため、光ファイバ208の固定部分に隙間が生じることが多い。そこで図3(b)の例では、この隙間を埋めるための補助封止半田212を用いている。この補助封止半田212は比較的融点の低い半田を溶融し、毛細管現象を利用して隙間に注入することで形成できる。

30 【0048】電気配線203の埋込み部分は図4(a)(b)に示すように構成することができる。図4(a)は電気配線203の埋込み封止部分を拡大した図であり、213はキャップ210のメタライズ金属で例えはTiを下地としたAu/Pt/Ti、214はシーリング半田、215はSiサブマウント側のメタライズ金属で例えは214と同様なAu/Pt/Tiとする。シーリング半田214には例えはAuSnの共晶半田を用い、約300℃の熱処理を行ってSiサブマウント202とキャップ210の固定を行う。

40 【0049】図3(a)では便宜上シーリング半田207としてSiサブマウント側に設けたが、これはキャップ210側に設けてもよく、最終的な構成が図4(a)と同等になれば特に問題ない。また、図4(b)は図4(a)のA-A'断面を示すが、絶縁物205は気密封止のために埋込み部分でSiサブマウント202の表面とほぼ同等な平坦面としておくことが必要である。この部分が極端に平坦面からずれると、シーリング半田214による気密封止が良好に行われないことになる。

【0050】次に、この絶縁物205の平坦化した埋込み形成方法について説明する。図5は、電気配線203

の埋込み形成方法を示す工程断面図であり、図4 (b)に対応する断面で示してある。

【0051】まず、図5 (a)に示すように、(100)面のSi基板202にSiO₂、Si_xN_y等のエッティングマスクをフォトリソグラフィにより設け、Si基板202の異方性エッティングを行う。このときのエッティングは、例えばKOH水溶液やヒドラジン等を用いればよく、図のような逆台形の溝218を形成する。その後、熱酸化処理によるSiO₂膜、又は化学気相成長法によるSi_xN_y膜を形成し、Si基板表面の絶縁膜211とする。このとき、絶縁膜211は単層膜でも多層膜でもかまわなく、従って前記エッティングマスクは残されていても除去されていてもかまわない。但し、絶縁膜211は少なくとも1層のSi_xN_y膜を含むようとする。

【0052】そして、電気配線203をリフトオフ法、或いは全面蒸着してエッティングする方法で形成する。電気配線金属としては、SiO₂、Si_xN_yで構成される絶縁膜211との密着が良好となるよう、また、この後に形成する絶縁物205との密着性が良好となるように、Ti、Cr、Cu、Al等が表面になる金属の構成、例えばTi/Pt/Ti多層膜とする。このとき、前述したエッティングマスクは溝の周辺部分でひさしを持っているため、そのひさしを除去してから電気配線を形成すれば配線の断線等の障害を防止することができる。また、電気配線203の表面をSi_xN_yでコーティングしておけば、後述する絶縁物205の平坦化工程で配線金属の損傷を防止できる。

【0053】次いで、図5 (b)に示すように、絶縁物205として例えば溶剤によりペースト化された低融点ガラスの塗布を行い、熱処理によりガラスの固化を行う。このとき、不要なガラスが光ファイバ保持用の溝等に付着しないよう、ガラスの不要な部分はテープやメタルマスク等で覆ってガラスの塗布を行う。

【0054】次いで、図5 (c)に示すように、熱処理により十分な固化を行ったガラスを選択的な研磨処理により除去し、表面を平坦化する。その手法の例として、酸化アルミニウム(Al₂O₃)の微粉末を研磨材としてガラスが平坦化するまで徐々に平坦研磨を行う。このとき、酸化アルミニウムは一般的な低融点ガラスより硬度が高いためガラスを研磨できるが、前述したSi_xN_yより硬度が低いため研磨時の圧力印加と研磨材の粒度を適度に制御することで、Si_xN_yの表面で自動的に研磨が停止する。

【0055】次いで、図5 (d)に示すように、選択的な研磨工程の後にメタライズ金属215の形成と、電気配線203のSi基板平坦部での電気接続領域の開口部及びパッド金属(例えばAu/Pt/Ti)の形成を行って、埋込み電気配線工程が終了する。ここで、絶縁物205となるガラスの表面は研磨工程による機械的な強

度が低下した破碎層が形成されることが多く、研磨工程の直後に電気配線金属203が影響を受けない程度の熱処理を行ったり、また、ガラスの表面に表面補強のSiO₂やSi_xN_y等を形成しておいても構わない。

(実施例3) 図6は、本発明第3の実施例に係わる光半導体モジュールの電気配線埋込み封止部分を拡大した断面図である。なお、図4と同一部分には同一符号を付して、その詳しい説明は省略する。

【0056】この実施例が、先に説明した第2の実施例と異なる点は、溝部における電気配線203を溝部の底部に埋め込むのではなく、溝部の途中に埋め込んだことにある。即ち、Si基板202に設けた溝218の途中まで絶縁物205aを埋め込んだ後に電気配線203を形成し、その上に絶縁物205bを埋込んで平坦化している。

【0057】図7は、この場合の製造工程を示す断面図である。絶縁物205を2回埋め込むこと以外は、基本的に図5の工程と同様である。なお、この例では電気配線203を3層で形成しているが、これは電気配線203と絶縁物205との良好な接着特性を得るためにある。即ち、図7 (a)に示すように、絶縁物205aを形成した後、絶縁物205a及び絶縁膜211と良好な接着が得られる下地金属203aを介して良好な電気伝導材料である配線203bを形成する。電気配線203aは溝218の外側では絶縁膜211上に直接形成されるため、下地金属203aは絶縁膜211とも良好な接着を得られる材料である必要がある。

【0058】次いで、図7 (b)に示すように、再び下地金属203aと同じ金属203cを形成する。このとき、絶縁物205と電気配線203が良好な接着が得られるためには、配線203bが金属203a及び203cにより埋め込まれていることが望ましい。従って、図では配線203bの幅が金属203aよりも狭く、金属203cによって埋め込まれるようにしてある。

【0059】次いで、図7 (c)に示すように、絶縁物205bを堆積する。その際、絶縁物205bの表面には凹凸ができることがあるが、その場合には研磨やエッティングなどによって、図7 (d)に示すようにSi基板202に対して平坦になるまで不要な部分を取り除く。

40 研磨を行ったとき絶縁物205の表面に破碎層などが生じる場合には、平坦になる直前まで研磨を行い、残りをエッティングにより取り除くなどすればよい。さらに、絶縁膜211が絶縁物205に対して耐研磨性の高い膜、例えば絶縁膜が硝子の場合には窒化硅素膜などを用いることにより絶縁物を研磨する際の研磨ストッパーとして機能させることができるため、絶縁膜211の高さでほぼ平坦化できる。その後、シール半田用の下地金属215を形成する。

【0060】また、絶縁膜211が十分厚く、耐圧が大きく、さらに信号用配線については浮遊容量が小さく高

周波特性が良好である場合には、図5に示したように、予め絶縁膜211上に電気配線203を形成しておき溝218を絶縁物205で埋め込むことも可能である。このような構成の場合、絶縁物205にはSiサブマウント202上に形成された溝218を埋め込むだけの厚さが必要になる。

【0061】ここで、絶縁膜211の厚さは、電気配線203の寄生容量が信号の周波数に対して十分小さくなる厚さが必要であるため、周波数が高い場合にはある程度の厚さが必要である。例えば、最も簡単な見積りは次のようになる。Siサブマウント202が高抵抗基板であって、電気配線203との寄生容量が半田シール用メタル215との間のキャパシタンスである場合を考える。半田シールメタル215と電気配線203が平行平板であるとして絶縁物205を挟んで交差する面積を $50 \times 100 \mu\text{m}^2$ 、絶縁物205をSiO₂として被誘電率を4.5とすると、厚さ約2.5 μmに対して約1 pFとなる。この値は50Ω負荷時に約3GHzの帯域に相当するが、実際にはエッジ部分の影響で容量はこの値より大きくなるため、より高速な信号線が必要な場合、必要な厚さはこの値より大きくなる。従って、CVD装置などを用いて絶縁物を埋め込むには非常に多くの時間を必要とするため、実用的でない。

【0062】そこで、絶縁材料としては低融点ガラスを用いることが有効である。低融点ガラスは、スピニングや印刷などの手法を用いて、ある程度均一に厚く積層することが可能で、しかもフォトリソグラフィーなどの手法によりパターニングも可能であるため、溝を埋め込むのに適当な材料である。

(実施例4) 前述の通り通信や情報処理システムの送受信部に光半導体装置を用いる場合にはファイバ結合型が一般的である。光ファイバと結合する場合は、光ファイバと光半導体素子の光結合効率を考慮に入れる必要がある。一般に、光結合効率は光ファイバと光半導体素子を近接させて結合効率を高くする場合が多い。そこで、光ファイバとの光結合を考慮して光ファイバを近接配置し、一括気密封止する構造を次に述べる。

【0063】図8は本発明の第4の実施例に係わる光半導体モジュールの概略構成を示すもので、(a)は側断面図、(b)は(a)の矢視B-B'断面図である。図8(a)において、251は光半導体素子で、Siサブマウント252上にマウントされている。Siサブマウント252上には電気配線253が形成されており、この電気配線253は光半導体素子251とボンディングワイヤ254により電気的に接続されている。255はSiサブマウント252上に形成された溝部であり、図6と同様の構造である。259はキャップであり半田シール用の下地金属を介してシーリング半田材料によりSiサブマウント252と接着されている。262はSiサブマウント252と電気配線を絶縁するために形成さ

れた絶縁膜である。

【0064】263は金属被膜光ファイバで、Siサブマウント252上に形成された溝264により保持されており、溝264上に形成された半田265によりSiサブマウント252に固定されている。光半導体素子251の出力光の光軸は光ファイバ263の光軸と一致するように調整されてマウントされている。

【0065】図8(b)は図8(a)のB-B'で切断した断面図である。光ファイバ263及び光ファイバ保持用の溝264はキャップの境界部で十分な半田265で埋め込まれており、気密が保たれる構造である。

【0066】この光半導体モジュールによれば、光半導体素子、光ファイバ及び光結合系を搭載した微小なSiサブマウントに直接キャップを施して一括して気密封止することが可能となり、光ファイバ結合が高く、外部回路と高密度で接続が可能であり、外部回路との接続時に特別な配慮も必要なくなる。

【0067】ここでキャップの材質は半田封止によって気密が保たれる材料であれば金属でも半導体であってもよい。金属である場合、キャップの一部をグランドに落とすことにより封止された半導体素子を外部から電磁シールドすることが可能であるという効果もある。また、半導体材料であっても表面をメタライズすることにより同様の効果を持たせることができるとされる。この効果を利用して、半導体チップを高密度実装することによる電磁相互作用が減少し、より高密度実装が可能となる。キャップ内部にボンディングワイヤなど導体部が露出する多いため、キャップ内部は電気的に絶縁したほうが望ましい。

【0068】キャップを半導体で形成する場合、金属などで形成する場合に比較して、Siサブマウントと同じ材料で形成できるという利点を持つSiで形成することが望まれる。Siを用いることによりはじめて、Siサブマウントと同時プロセスによりキャップを大量生産ができる。

【0069】しかしながら、Siを用いる場合、特にSiサブマウントと同時プロセスで形成する場合は、次のような問題がある。キャップのエッチング形状が非常に広い面積にわたるため、V溝の様に異方性を利用したエッチング停止が困難である。例えば、光半導体素子が半導体レーザの場合その素子形状は数100 μm四方に及ぶ。従って、少なくともキャップのエッチング開口の面積はそれ以上必要となり、V溝で形成するためにはSiウェハの厚みはmmオーダーの厚さが必要となってしまう。

【0070】そこで、エッチングが停止する以前でエッチングを終了することが必要であり、時間制御によるキャップ深さ制御が必要である。しかしながら、この場合エッチングの深さはエッチング条件、特にエッチャントの回り具合など制御が困難な条件で大きく左右されるこ

とが多い。また、エッティング開口の底面の平坦性が保たれないこともある。このような問題を解決する実施例を以下に示す。

(実施例5) 図9は、本発明の第5の実施例に係わる光半導体モジュールの概略構成を示す断面図である。290はキャップでSi直接接着基板となる。他の部分は図8と基本的に同様である。291はSi基板で他のSi基板293と酸化膜292を挟んで直接接着されている。Si基板293には、エッティングにより形成された溝部296が形成されている。294はキャップ内部の電気配線と絶縁を取るために形成した酸化膜である。295は半田シールする際の半田金属及び下地金属である。

【0071】ここで、エッティングとしてSiのエッティング速度が酸化膜のエッティング速度と比較して大きいエッティング方法を用いることにより、溝部底面297が平坦な面を出すことができる。このため、キャップとして用いた場合、内部に搭載する素子の大きさに合わせて、精度良く溝部の深さを制御できる。また、Siサブマウントを作成する際の半導体プロセスと整合性の良いプロセスを用いることによって、キャップを一括して大量に作成することができる。従って、別に微細なキャップを用意する必要がないため、製造ラインの簡略化が図れ生産性が向上することである。

【0072】本発明は上記の実施例に限定されるものではない。ここでは、Siサブマウント一枚に対して光半導体素子、光ファイバのみを搭載した例を述べたが、一枚のSiサブマウント上に光半導体素子とレンズなどの光結合系を搭載することもできる。

(実施例6) 図10は、本発明の第6の実施例に係わる光半導体モジュールの概略構成図であり、(a)は側断面図、(b)は(a)をB-B'で切断した断面図である。図において、221は光半導体素子で、Siサブマウント222上にマウントされている。Siサブマウント222上には電気配線223が形成され、この配線223は光半導体素子221とボンディングワイヤ224により電気的に接続されている。225はSiサブマウント222上に形成された溝部であり、図6と同様の構造である。233は金属被覆光ファイバで、Siサブマウント222上に形成された溝234に半田固定されている。そして、光半導体素子221の出力光の光軸は光ファイバ233の光軸と一致するように調整されてマウントされている。

【0073】229はキャップでありSiサブマウント222と半田接着されており、箱型部229aとレンズ状透明体229bからなる。箱型部229aは、金属や半導体やセラミックなどから成り、レンズ状透明体229bは入出力光に対して透明な材料から成り、光半導体素子221と光ファイバ233との光結合が得られるようなレンズ状構造になっている。例えば、光半導体素子

221が光導体レーザ素子である場合には出力光が拡散して行くため、光ファイバに有効に出力光を結合させるため、凸レンズ状構造である。箱型部229aとレンズ状透明体229bは半田などで気密接着されて一つのキャップ229を構成している。

【0074】この光半導体モジュールによれば、光半導体素子、光ファイバ及び光結合系を同一のSiサブマウントに搭載し、Siサブマウントに直接レンズ構造を持つキャップを施して光半導体素子を微小領域で気密封止することが可能となり、光ファイバ結合が高く、外部回路と高密度で接続が可能である。

(実施例7) 図11(a)は、本発明の第7の実施例に係わる光半導体モジュールの概略構成を示す断面図である。271は光半導体素子で、Siサブマウント272上にマウントされている。Siサブマウント272上には電気配線273が形成されており、この配線273は光半導体素子271とボンディングワイヤ274により電気的に接続されている。275はSiサブマウント272上に形成された溝部であり、図6と同様の構造である。283は金属被覆光ファイバで、Siサブマウント272上に形成された溝284に半田固定されている。そして、光半導体素子271の出力光の光軸は光ファイバ283の光軸と一致するように調整されてマウントされている。

【0075】279はキャップでありSiサブマウント272と半田接着されている。277は金属被覆レンズ体であり、Siサブマウント272上に形成された溝276上に半田278で固定されている。光半導体素子271、金属被覆レンズ体277は光軸調整された後固定される。光ファイバ283は、溝284により固定されるため、光半導体素子やレンズ体のマウント位置が溝284に対し相対位置がフォトリソグラフィーなどにより規定されていれば、光軸調整は殆ど必要せずに光結合が得られる。

【0076】この光半導体モジュールによれば、レンズを内部に組み込んだことにより、より光結合効率を高めることができる。また、他の実施例と同様、光半導体素子、光ファイバ及び光結合系を搭載したSiサブマウントに直接キャップを施して一括して微小領域で気密封止することが可能となり、外部回路と高密度で接続が可能である。

【0077】さらに、図11(b)は、本実施例の変形例であり、実施例の光ファイバが図8と同様な方法で光半導体素子及びレンズ体と一括して気密性封止されている構造である。

【0078】この光半導体モジュールによれば、レンズを内部に組み込んだことにより、より光結合効率を高めることができ、光半導体素子、光ファイバ及び光結合系を搭載したSiサブマウントに直接キャップを施して一括して微小領域で気密封止することが可能となり、外部

回路と高密度で接続が可能であり、外部回路と接続する際に特別の配慮も必要としない。

【0079】また、できる限り光半導体素子と近接させる必要のある半導体素子を含めて、光半導体素子等に汚染などの影響を及ぼさない程度で、一括して気密性封止することも可能である。

(実施例8) 図12は、本発明の第8の実施例に係わる光半導体モジュールの概略構成を示す斜視図であり、気密封止のためのキャップを装着する前の構成状態を示している。

【0080】この実施例は、モジュールに光ファイバが直接取り付けられる所謂ピグテール型光モジュールの構成を示している。図中301はモジュール主基板、302は光ファイバガイド溝、303はSiO₂、Si₃N₄等の絶縁膜、304は信号入出力用の電気配線、305は低融点ガラス等を埋込み形成した絶縁物、306は信号電極、307は接地電極、308は光半導体素子の電気接続と位置調整を行わせるためのパンプ電極、309は気密封止用のシーリング半田、310は光ファイバ保持用の副基板312をモジュール主基板に固定するための固定半田、311は半導体レーザ等の光半導体素子、312は光ファイバ固定用の副基板、313は光ファイバである。電気配線304は絶縁物305の部分でSiサブマウントの凹部を介して信号電極306に接続されており、この部分で配線304上に絶縁物305が設けられているため、配線304とシーリング半田9とは電気的に絶縁されている。

【0081】また、接地電極307は絶縁膜に開口を設けてモジュール主基板301に電気的な接続を行っておくが、モジュール主基板301が非導電性の場合は電気配線304と同様に、或いはシーリング半田309を介して外部の接地電極に接続する。光ファイバ313及び副基板312は予め比較的高融点の半田（例えばAuGe、AuSn等）で固定しておき、選択部分の研磨、又はダイシング加工を行って光ファイバ313の先端が副基板312の端面と揃うようにしておく。図12までの組み立てを行った後、気密封止のためのキャップ（図示せず）をシーリング半田309により取り付け、前記図3(b)のように補助封止半田により光ファイバ313の固定部分の隙間を封じて完成する。

(実施例9) 図13は、本発明の第9の実施例に係わる半導体モジュールの構成を示す側断面図である。まず、2枚のシリコンウェハをそれぞれ、例えばウェハ406を200μm、ウェハ408を250μmに平滑研磨し、表面を熱酸化して形成した酸化膜407を介して直接接着する。このシリコンウェハ406、408を酸化膜407を介して直接接着する方法に関しては例えば特開昭61-5544号公報、特開昭61-42154号公報等に詳しく述べられている。

【0082】この接着基板上に、2つのガイドピン40

5固定用の凹部410、及び半導体チップ搭載用基板401を固定するための凹部411をマスク合わせ工程、選択エッチング工程により形成する。このとき、深さが接合面に達するまでエッチングを行うと、エッチングは酸化膜407によって自動的に停止する。その後、底面の酸化膜407を弗酸等で取り除き、その底面にはAuCr、AuSnを蒸着などの手法により形成する。しかる後、半導体チップ404の搭載された基板401を凹部411に搭載し、温度を上げながら図14のように抑え板415a、システム409で挟み込みネジ穴414によりネジ止め固定する。

【0083】このねじ止めの際にガイドピン405とガイドピン搭載用凹部410の位置関係、及び使用する抑え板415aの形状は、対向位置決めされて接続される第1の半導体モジュール及び第2の半導体モジュールの熱膨張係数・硬度等、熱・外力等による変形度合いの差異（以下、変形度と記す）が本実施例の変形度と同じであるか否かによって異なる。即ち、第1の半導体モジュールが本実施例の変形度と一致し、第2の半導体モジュールが一致していない、例えばいわゆるMTコネクタのように材質、熱膨張係数等の点で異なり、接続用ガイドピン間の間隔及びピンピッチの外力や温度変化などによる変動が第1の半導体モジュールと比較して異なる場合には、接続される半導体モジュール間で接続用ガイドピン間の間隔及びピンピッチなどが異なる場合が生じるため、接続時にいずれか若しくは双方の半導体モジュール及びその寸法精度を損なう恐れがある。

【0084】このため、以下の手順で対向位置決めを行い、第2の半導体モジュールの寸法に第1の半導体モジュールの寸法を合わせることが必要となる。この方法を以下に記す。まず、第2の半導体モジュールの凹部に図14のガイドピン405を差しこみ、その状態を保持したまま第1の半導体モジュール上のガイドピン搭載用凹部410に搭載する。このとき、ガイドピン405の底部と凹部410底面を接して配置する。その後、ガイドピン405と接触する抑え部が平坦な抑え板415aを用いて、抑え板415aとシステム409とをネジ穴414によりネジ止め固定する。このとき、ガイドピン405は底部に上方から押しつけられるのみであり、ガイドピン405の内側の半導体チップ及びサブマウントには力がかからない。このため、ガイドピン405間隔及びその間隔の中央位置のずれ等は第2の半導体モジュールの精度が保存される。さらに、ガイドピン405を含めた第1の半導体モジュールと第2の半導体モジュール全体の向きは凹部と平行に固定されることとなる。

【0085】次に、第1の半導体モジュールも第2の半導体モジュールも同じく本実施例と同じ変形度を持つ場合について以下に示す。同材質で同じPEP（フォトエッチャリングプロセス）工程を経て作成された本実施例の半導体モジュール同士の寸法精度の一致度は良好である。

このため、上記異なる変形度を持つ半導体モジュール同士の対向位置決めのように、寸法精度の劣る半導体モジュールに合わせて対向位置決めを行う必要がない。このときのネジ止め方法を図15に示す。

【0086】まず、第1の半導体モジュールと第2の半導体モジュールの相対向するガイドピン搭載用の凹部410にガイドピン405を搭載する。このとき、ガイドピン405の底部は、両半導体モジュールにおけるガイドピン搭載用凹部410の底部と接している。この2つの半導体モジュールを傾斜した抑え面を持つ抑え板415bで抑えると、ガイドピン405は上下方向には底面に力がかかり、横方向には凹部410の一方の側面（上記例では内側側面）に押し付られる力が働く。この横方向から作用する力は、ガイドピン405とチップ搭載用基板401との間に存在する部材（以下、緩衝部材と記す）412によって基板406に散逸されるため、両緩衝部材412間の領域に対する過剰な外力の作用を防止する特徴を有する。上記横方向の概略防止作用により、半導体モジュール同士の連結時の半導体チップ搭載用基板の外力による破損を防止することができる。このため、サブマウントの代わりに割れ易い半導体チップをそのまま凹部に搭載し連結することも可能である。

【0087】上記緩衝部材412の材質はシリコンに限らず、ガイドピン405から緩衝部材412に作用する力に絶え得るに十分な強度、厚さを持つ、例えばSi_iN_x、SiO₂のような化合物、ガラス又は半導体材料であれば問題はない。また、十分な強度と弾力を持つ、例えばプラスチック、ゴム、ポリイミドのような高分子材料であっても構わない。また、その断面形状は台形に限らず、図17(a)のような長方形、図17(b)のような倒立した台形、図17(c)のような反円形であっても一向に構わない。さらに、図17(d)のような高分子材料と向き材料とを組み合わせると外力防止作用は向上する。また、2つの半導体モジュールの寸法精度は一致しているため、同時にネジ止めすることによって、高精度に対向位置決めされる。

【0088】なお、凹部形成のエッチングを精度良く行うことにより、ガイドピン405が底面及び両側面に同時に接するようにした場合には、上記ガイドピン405の抑え込みは上部方向からのみでもよい。また、図16に示すような平らな抑え面と傾斜した抑え面を持つ抑え板415cを用いてネジ止め固定を行うと、ガイドピン405が抑え板415cのガイドを平坦な抑え面に達するまで滑るため、ネジ止めの際に抑え板415cを容易に位置決め固定することができる。

【0089】このように、ガイドピン405はエッチングによって形成された凹部に上記のように固定されるため、水平方向にはサブマウント又は半導体チップの切り出し誤差と独立に確実な位置決めができる。また、（作用3）で述べたようにガイドピン405の底面とサブマ

ウント又は半導体チップの底面とは共に選択エッチングにより露出した面に接するため、上下方向にはシリコン基板406上面又は酸化膜407上面を基準とした確実な位置合わせが可能である。さらに、このような半導体モジュールを複数連結後にも、各半導体モジュール内でガイドピン405底面とサブマウント又は半導体チップの底面とは常に一致しているため、各半導体モジュールのシリコン基板406の厚さに拘らず異なる半導体モジュール間でサブマウント又は半導体チップの底面は一致する。

【0090】なお、上記実施例ではガイドピン405は必ずしも2本に限らず複数本でも構わない。さらに、半導体チップ404は例えば半導体レーザ、受光素子、ファイバ、増幅素子、導波路などいずれであっても一向に構わない。また、1個に限らず複数個でもアレイ状であっても一向に構ないことはいうまでもない。

（実施例10）図18は、本発明の第10の実施例に係わる半導体モジュールの構成を示す側断面図である。なお、図13と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、半導体チップ404を搭載する基板416として、従来と同様に、シリコンウェハ401とシリコンウェハ403とを酸化膜402を挟んで直接接着したシリコンサブマウント416としたものである。この場合は、シリコンウェハ406に対してシリコンサブマウント416を正確に位置決めできることと共に、シリコンサブマウント416に対して半導体チップ404を正確に位置決めできる。

【0091】そしてこの場合、図19に示すように抑え板415bを用い、シリコンウェハ406、408を抑え板415b、ステム409で挟み込みネジ穴414によりネジ止め固定する。このときのネジ止め方法は前記図15で説明したのと同様である。

（実施例11）図20は、本発明の第11の実施例に係わる光半導体モジュールの概略構成を示す斜視図である。これは、光ファイバがアレイ化された所謂リボンファイバを用いた例であり、特に光ファイバとモジュールが分離されたコネクタ型の光モジュールの構成例を示している。

【0092】図中501はモジュール基板、504は信号入出力用の電気配線、505は低融点ガラス等を埋込み形成した絶縁物、509は気密封止用のシーリング半田、511は半導体レーザ等の光半導体素子、514は気密封止のためのキャップ、515は光半導体素子511と光ファイバを光学接続するためのレンズである。ここで、電気配線504は前記第2の実施例で説明したように、モジュール基板501に設けた溝内に絶縁膜を介して埋込み形成されている。

【0093】516、517、518は第9の実施例で説明したような直接接着基板で、シリコンウェハ516、517がSiO₂膜518を挟んで直接接着された

基板、519は直接接着基板のシリコンウェハ518をエッチングして形成した緩衝部、520はリボンファイバのコネクタを接続するためのガイドピンである。521、523はモジュールの全体を固定するためのステムであり、ネジ穴524及び522により両者をネジ固定してガイドピン520の固定も同時に行う。

【0094】この実施例では、キャップ514を透光性の材料とし、光半導体素子511の入力光又は出力光をレンズ515で集光し、また、キャップ514を通して外部との光入出力を行う。ここで、光半導体素子511で使用する光の波長を1μm以上の波長（例えば1.3μm）とすると、キャップ514としてシリコンを用いることができる。

（実施例12）図21は、本発明の第12の実施例に係わる光半導体モジュールの概略構成を示す斜視図である。接着基板マウント422上にX方向の凹部417、Y方向の凹部418がガイドピン用に、凹部408が半導体チップ用に第9の実施例と同様の工程を経て形成されている。この凹部408に半導体チップ404を、凹部417、418にガイドピン405を、凹部419にICチップ421を第9の実施例と同様の工程を経て半田付けし、抑え板415dで抑え込むことにより位置決め固定する。このネジ止めによる位置決めの際に用いる抑え板は、図22に示す抑え板415eのように抑え面が傾斜していてもよい。

【0095】本実施例の半導体モジュールは、X、Y方向に形成されたガイドピン405により前後左右に連結可能である。図23にこの連結例を示す。半導体モジュール420はガイドピン405を介して連結されている。

【0096】なお、上記実施例ではガイドピン405は必ずしも2本に限らず複数本でも構わない。また、半導体チップ404、ICチップ421はそれぞれ光半導体素子や光学受動素子であってもよく、また従来例で説明したのサブマウントであっても一向に構わない。また、1個に限らず複数個でもアレイ状であっても一向に構わないことはいうまでもない。

（実施例13）可搬基板上に高密度に半導体集積回路が実装されたいわゆるICカード等の半導体モジュールにおいては、その入出力結合部が他の結合体、例えば光コネクタや多ピン電気コネクタに、精密に位置合わせされて結合される必要がある。これは前者の場合、单一モードの光ファイバや光導波路と半導体レーザを光結合するとき高精度の位置精度が要求され、後者の場合、ICカードの記憶容量が大きくなる程その接続ピン数が増加し、接続ピンの間隔が狭くなつて各ピンの大きさが小さく設定されること等によつて。例えば光ファイバと半導体レーザの結合では多モード光ファイバで±5μm以下、单一モード光ファイバでは±2μm以下の精度が要求される。また、ICカードの場合、徐々にその精度

要求が厳しくなつてきており、将来的には100μmピッチで±10μm以下の精度が考えられている。特に、着脱が必要な場合、光及び電気の配線同士の位置決めが困難になる。然るに、上記のガイドピンによる半導体モジュールの連結構造をICカードの配線接続部に適用することにより、容易に配線位置決め可能なICカードを実現できる。

【0097】図24はこの実施例の概略構成を示もので、（a）は斜視図、（b）は側断面図である。420 10は半導体モジュールであり、複数個がガイドピン405により2次元的に連結されている。連結された複数の半導体モジュール420は一括して樹脂などの物質424で固定されており、ICカード425を構成している。このような構成では、上記のように配線位置決めが容易であり機能によって半導体モジュール420の組み合わせが選択できるため、多様なICカードに適用可能であると共に、比較的簡単な行程であるため、量産化に適している。

【0098】なお、上記実施例では半導体モジュール420は一層のみであるが、2次元的に連結した半導体モジュールを複数層重ね合わせることも可能である。また、ガイドピン405は必ずしも2本に限らず複数本でも構わない。また、半導体チップ404、ICチップ421はそれぞれ光半導体素子や光学受動素子であってもよく、また従来例のサブマウントであっても一向に構わない。また、1個に限らず複数個でもアレイ状であっても一向に構わないことはいうまでもない。

【0099】

【発明の効果】（効果1）以上詳述したように本発明によれば、光ファイバのガイド溝端部における光ファイバの変形、屈曲を防止するために、光ファイバを予め光ファイバの変形を防止する副基板に固定し、その副基板に対して光ファイバの先端を調整しておくことにより、光半導体モジュールの低価格化と量産化を格段に向上し、光伝送技術の汎用的システムへの導入を可能にし、これにより各種情報機器の大幅な性能向上とこれによる産業の発達、発展に大きく寄与することができる。

（効果2）以上詳述したように本発明によれば、光半導体素子を搭載したSiサブマウント上に直接Siキャップを接着することにより、光半導体素子を搭載したSiサブマウント上で光半導体素子、光ファイバー及び光結合系を一括して気密封止することができるため、光半導体素子と同等の寸法で光半導体素子の実現が可能であり、外部回路との集積化に適している。また、既に気密封止されているため外部回路と接続する場合にも特別な配慮を必要とせずに、生産性を向上させることができるという効果を持つ。

（効果3）以上詳述したように本発明によれば、上下方向、水平方向共に比較的簡単なマスク合わせ工程、選択エッチング工程により位置決めがなされ、特にガイドピ

ン及び半導体チップの底面は同一の平坦なシリコン基板上に接して配置されるため、この面を基準とした半導体モジュール内での上下方向の位置決め精度は極めて高い。

【0100】また、位置決め固定の場合にガイドピンにかかる力はガイドピンに挟まれたサブマウントや半導体チップには加わらない。さらに、ガイドピンの凹部は前後左右方向に配置できるため、前後左右方向への半導体モジュールの連結が可能である。このような半導体モジュールをガイドピンを通して複数個連結した場合にも、各半導体モジュールの半導体チップ及びガイドピンの底面はそれぞれの半導体モジュールの基板厚に拘らず同一平面上に接することとなり、連結した場合の上下方向の位置決めがしやすい。このような特徴を有するため、他の半導体モジュール構成構成部品との位置決め精度が高く、前後左右の連結が可能な半導体モジュールが得られる。

【図面の簡単な説明】

【図1】第1の実施例に係わる光半導体モジュールの概略構成を示す斜視図。

【図2】第1の実施例における光結合部の断面図。

【図3】第2の実施例に係わる光半導体モジュールの概略構成を示す平面図と断面図。

【図4】第2の実施例における電気配線の埋込み部分を拡大して示す断面図。

【図5】第2の実施例における電気配線の埋込み形成方法を示す工程断面図。

【図6】第3の実施例に係わる光半導体モジュールの電気配線埋込み封止部分を拡大して示す断面図。

【図7】第3の実施例における電気配線の埋込み形成方法を示す工程断面図。

【図8】第4の実施例に係わる光半導体モジュールの概略構成を示す断面図。

【図9】第5の実施例に係わる光半導体モジュールの概略構成を示す断面図。

【図10】第6の実施例に係わる光半導体モジュールの概略構成を示す断面図。

【図11】第7の実施例に係わる光半導体モジュールの概略構成を示す断面図。

【図12】第8の実施例に係わる光半導体モジュールの概略構成を示す斜視図。

【図13】第9の実施例に係わる半導体モジュールの要部構成を示す断面図。

【図14】第9の実施例における半導体モジュールの全 * *

* 体構成を示す斜視図。

【図15】第9の実施例の変形例を示す斜視図。

【図16】第9の実施例の変形例を示す斜視図。

【図17】第9の実施例の変形例を示す断面図。

【図18】第10の実施例に係わる半導体モジュールの要部構成を示す断面図。

【図19】第10の実施例に係わる半導体モジュールの全体構成を示す斜視図。

【図20】第11の実施例に係わる半導体モジュールの概略構成を示す斜視図。

【図21】第12の実施例に係わる半導体モジュールの概略構成を示す斜視図。

【図22】第12の実施例の変形例を示す斜視図。

【図23】第12の実施例の半導体モジュールをX, Y方向に連結した例を示す斜視図。

【図24】第13の実施例に係わる半導体モジュールの構成を示す斜視図と断面図。

【図25】従来の光半導体モジュールを示す斜視図。

【図26】光軸ずれの様子を示す図。

20 【図27】従来の気密封止パッケージの例を示す図。

【図28】ガイドピンを用いた従来技術による半導体モジュールの要部構成を示す図。

【図29】ガイドピンを用いた従来技術による半導体モジュールの全体構成を示す図。

【符号の説明】

101…モジュール主基板

102…光ファイバのガイド溝

103…光ファイバ保持用の副基板

104…リボンファイバ

30 105…アレイ化した半導体レーザ（光半導体素子）

106…パンプ電極（光半導体素子装着用電極）

107…光ファイバのコア部

201…半導体レーザ（光半導体素子）

202…Si基板（Siサブマウント）

203…電気配線

204…ボンディングワイヤ

205…絶縁物

206…接地電極

207…シーリング半田

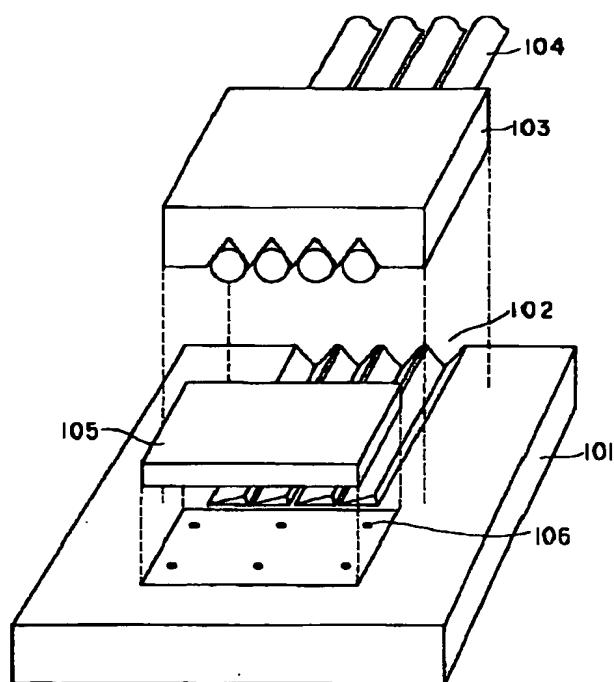
40 208…光ファイバ

209…ファイバホルダ

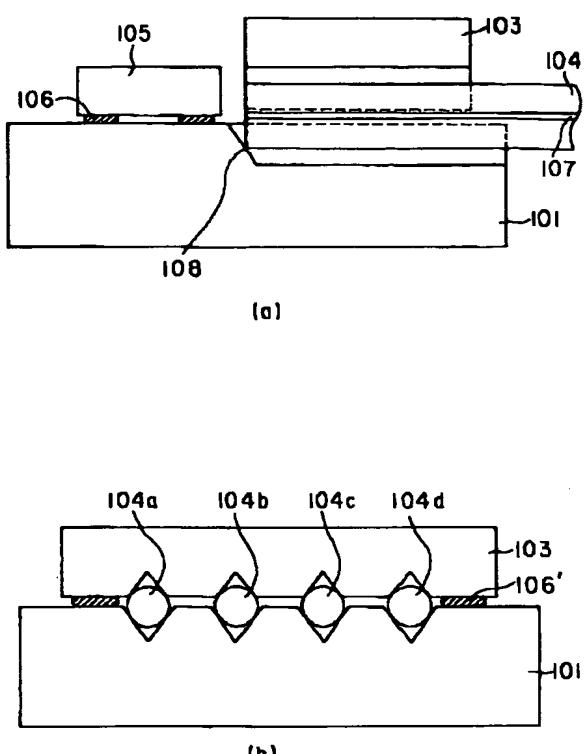
210…Siキャップ

212…補助封止半田

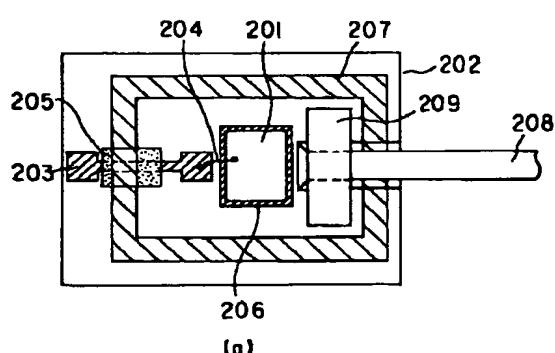
【図1】



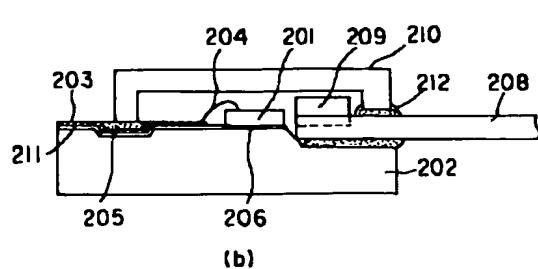
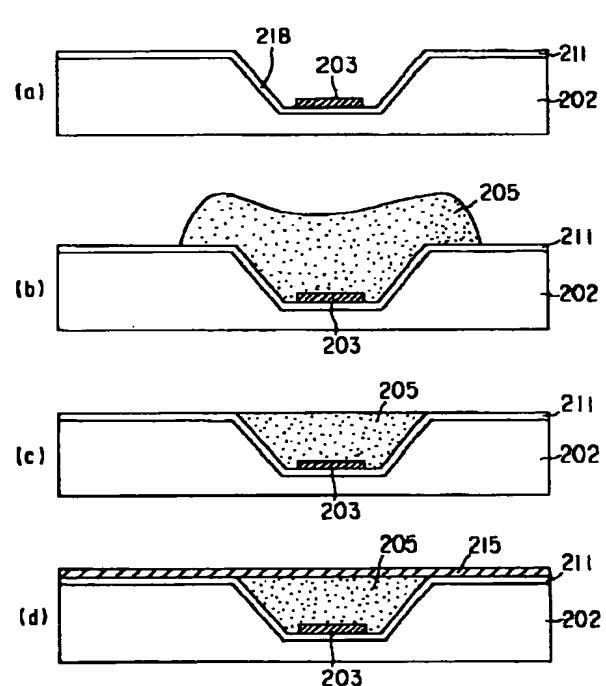
【図2】



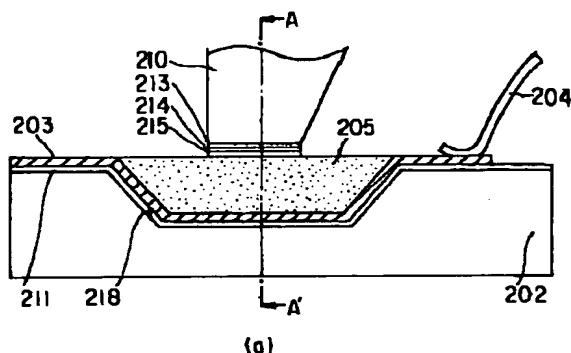
【図3】



【図5】

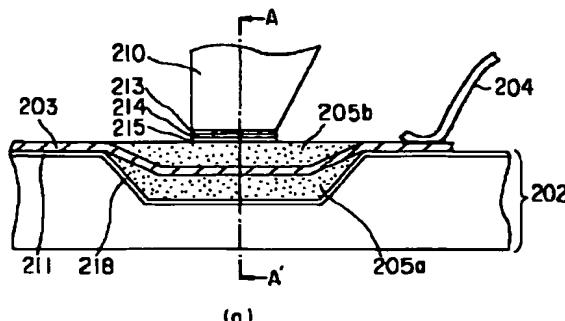


【図4】

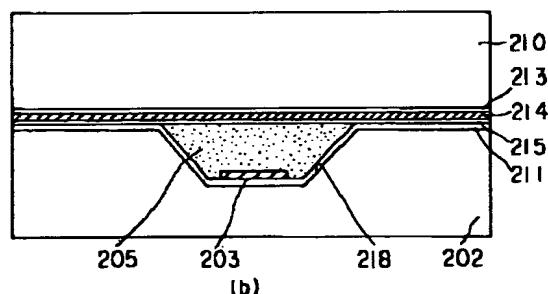


(a)

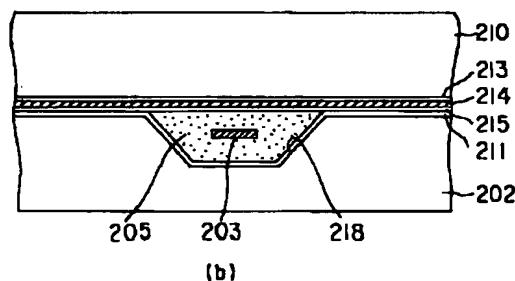
【図6】



(a)

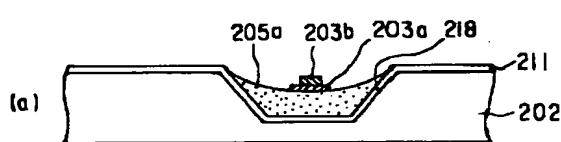


(b)

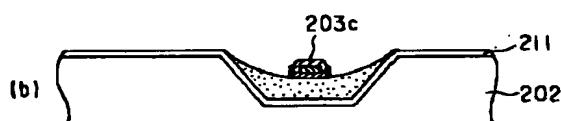


(b)

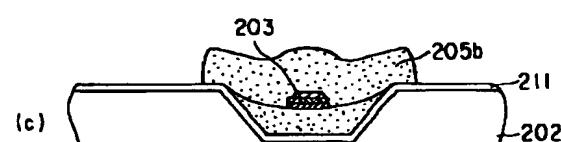
【図7】



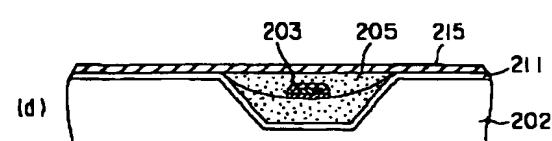
(a)



(b)

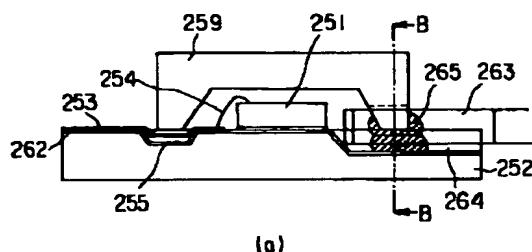


(c)

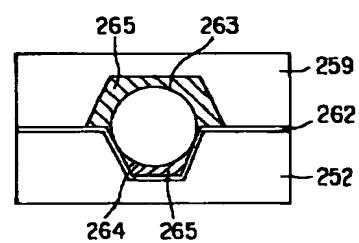


(d)

【図8】

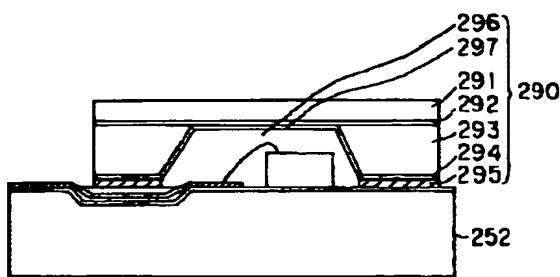


(a)

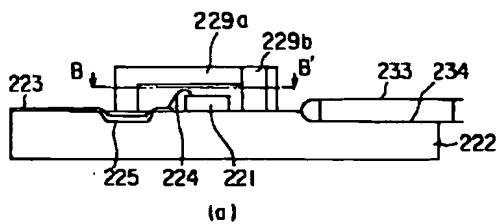


(b)

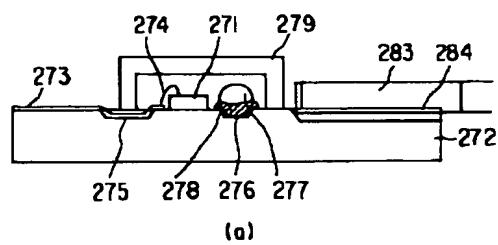
【図9】



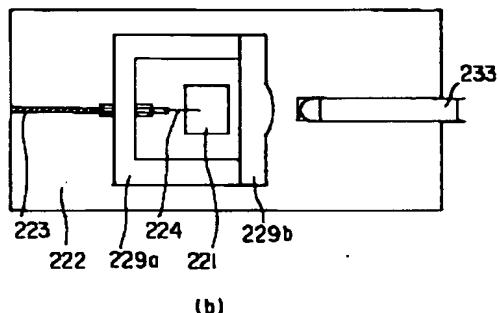
【図10】



【図11】

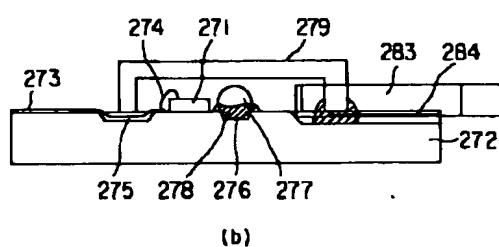


(a)

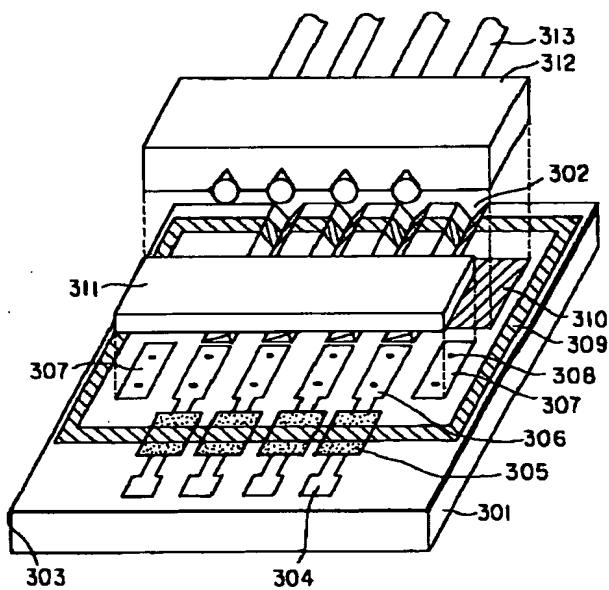


(b)

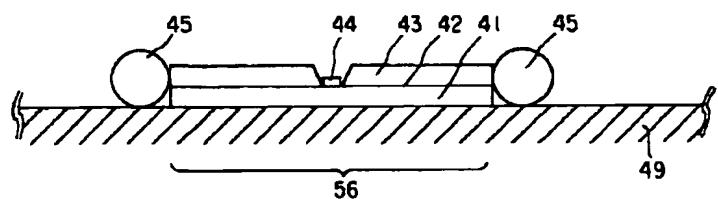
【図12】



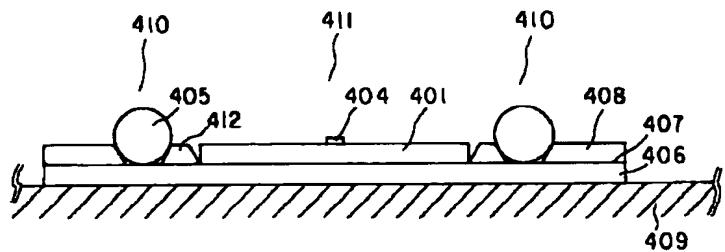
(b)



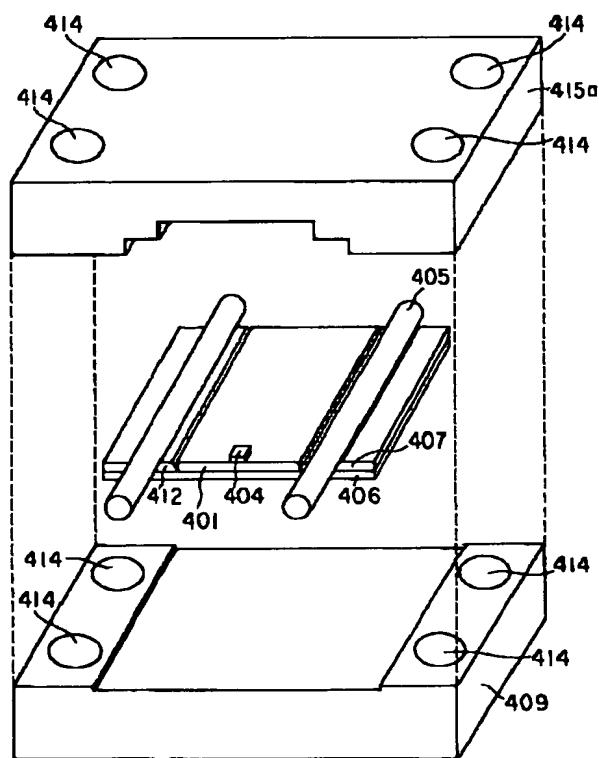
【図28】



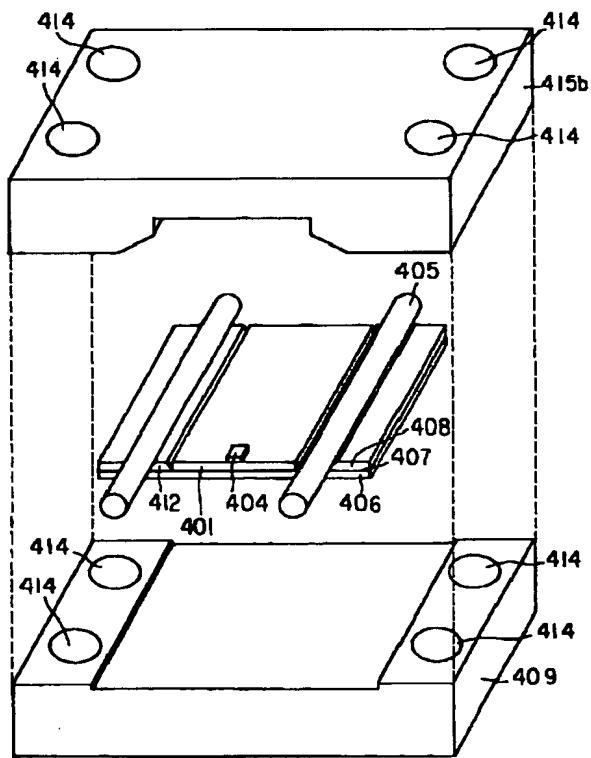
【図13】



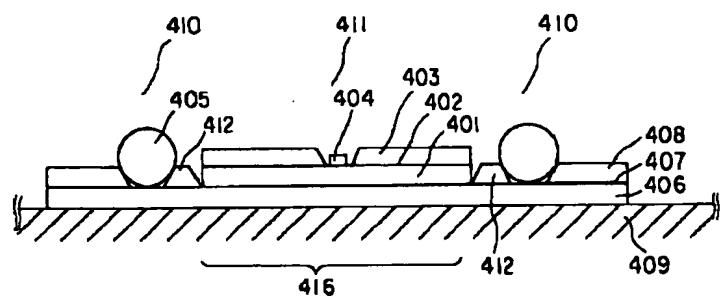
【図14】



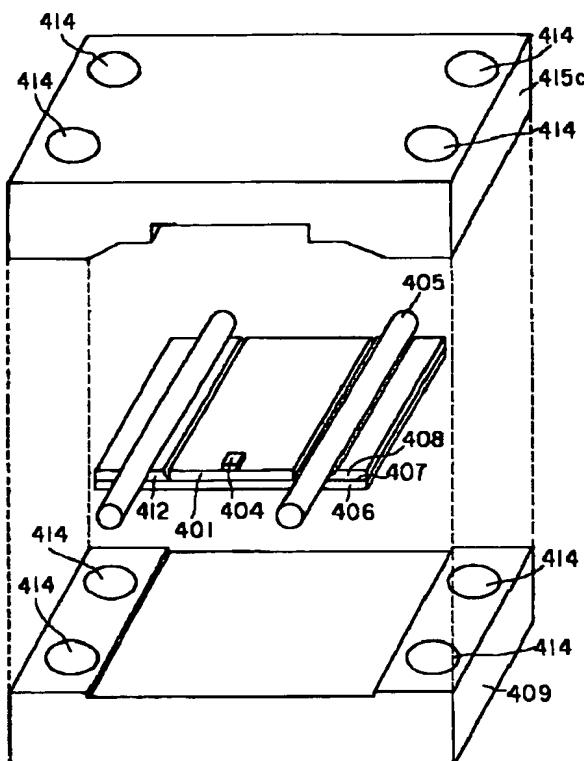
【図15】



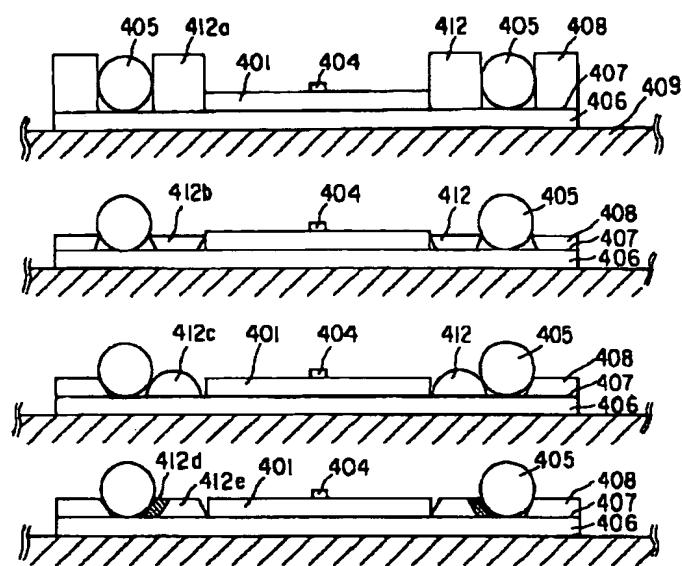
【図18】



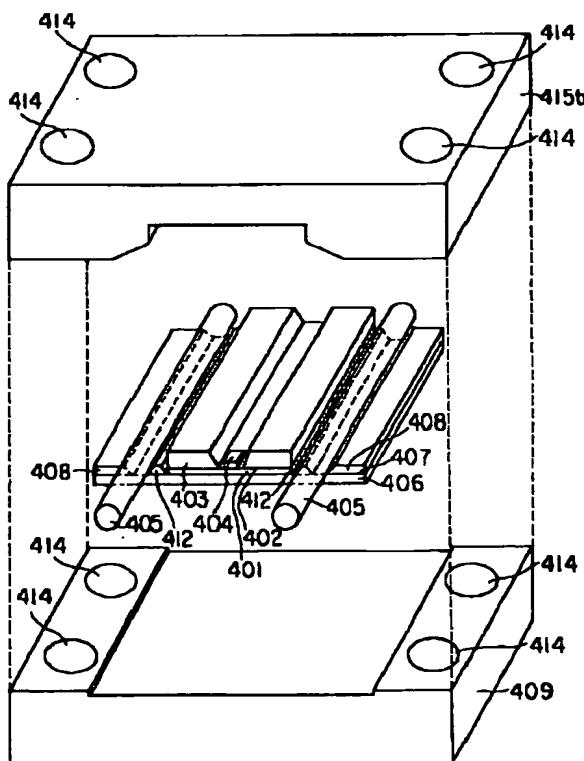
【図16】



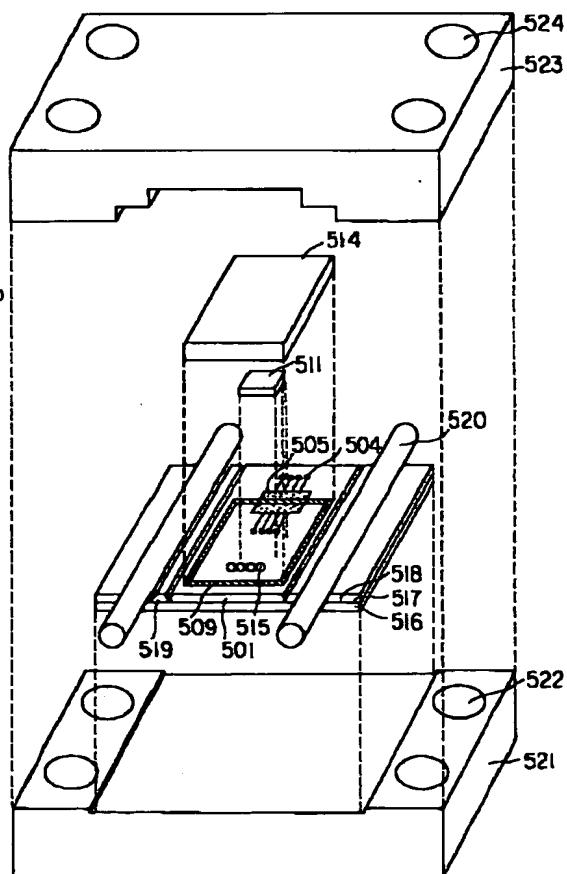
【図17】



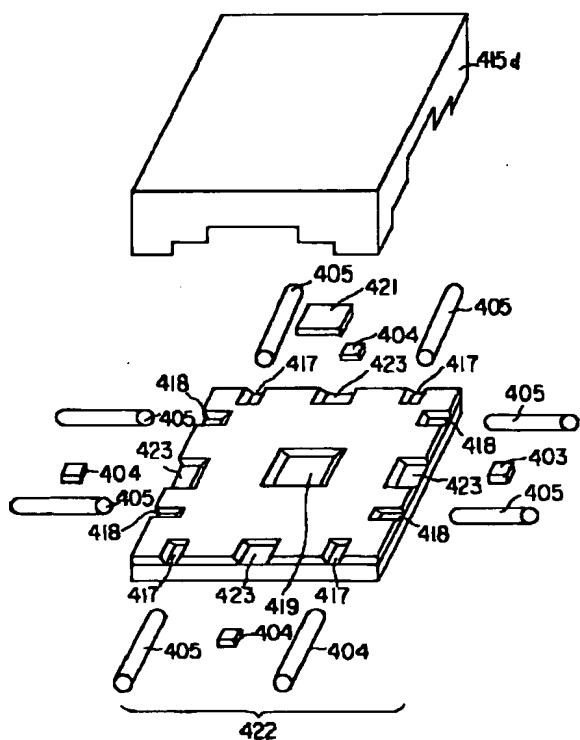
【図19】



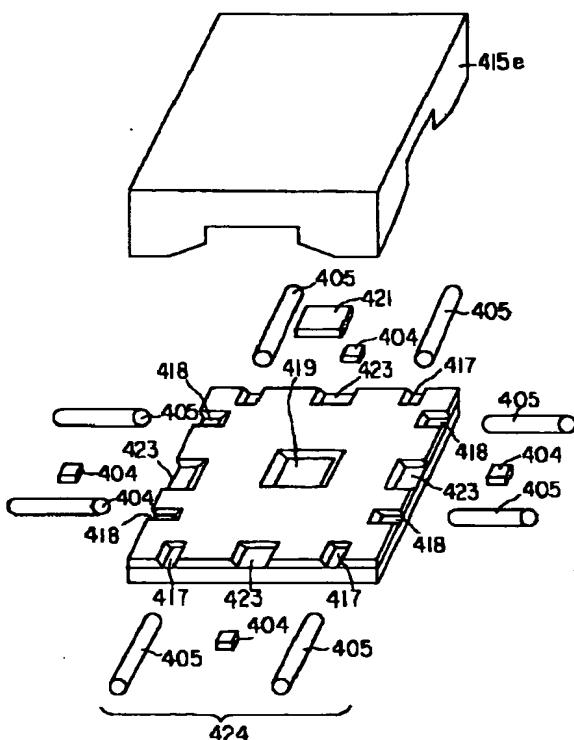
【図20】



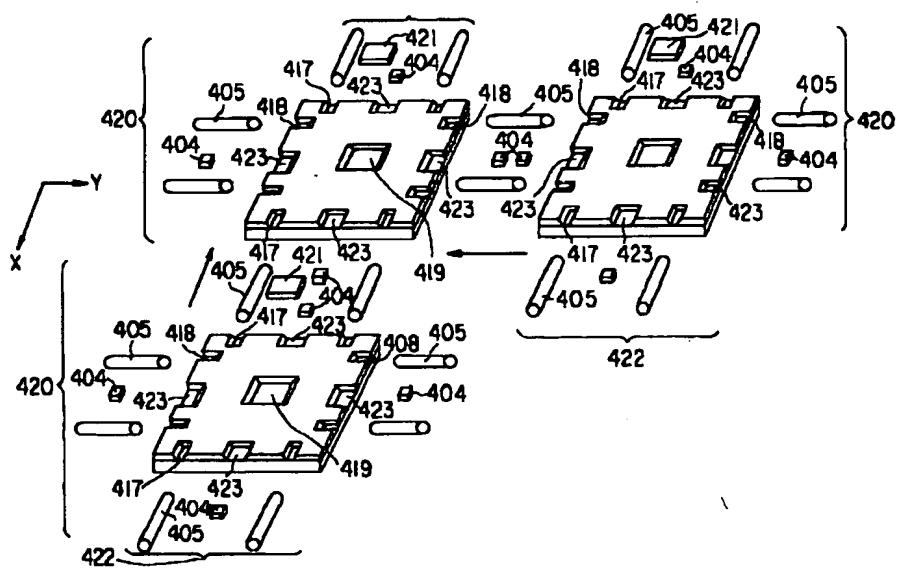
【図21】



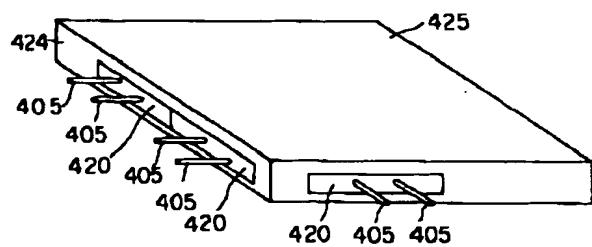
【図22】



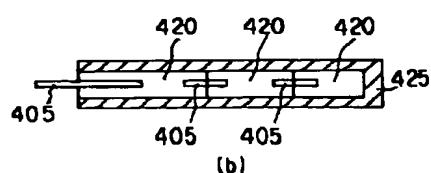
【図23】



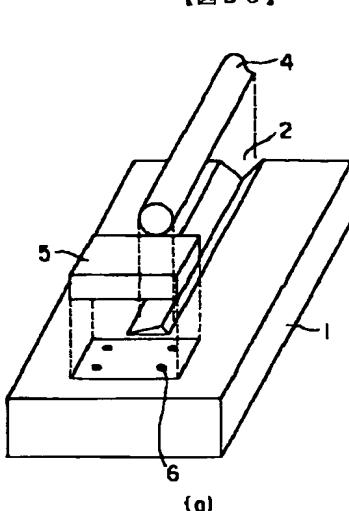
【図24】



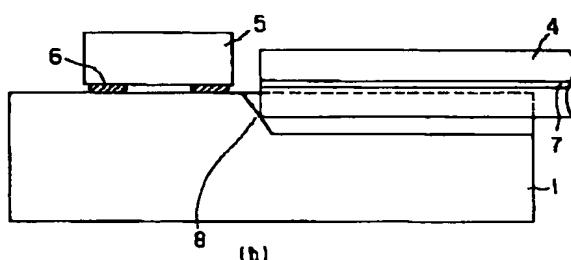
(a)



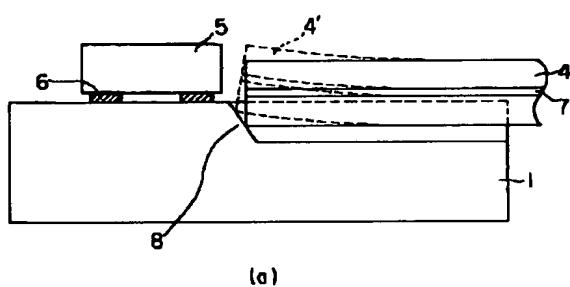
【図25】



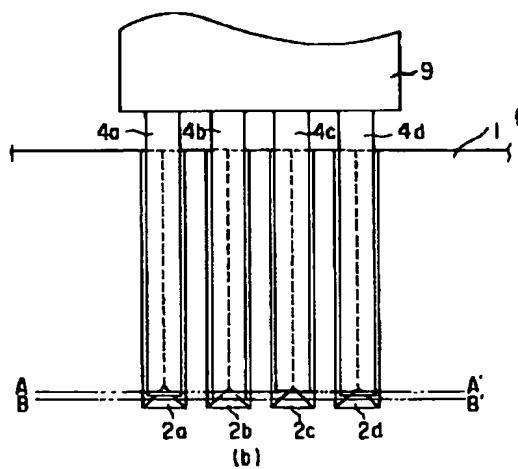
(a)



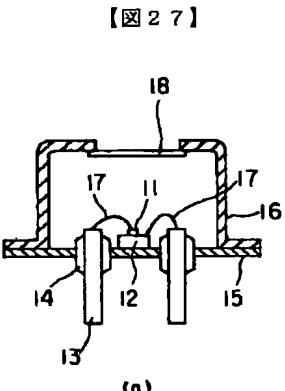
【図26】



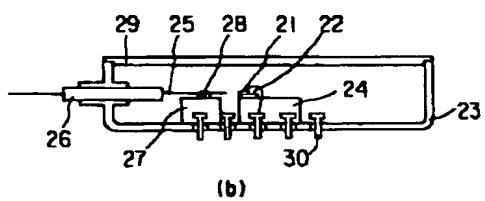
(a)



(b)



(a)



(b)

【図29】

